

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-147590

(43)Date of publication of application : 06.06.1995

(51)Int.Cl. H04L 12/56

(21)Application number : 06-097416 (71)Applicant : INTERNATL
BUSINESS
MACH CORP
<IBM>

(22)Date of filing: 11.05.1994 (72)Inventor : GALAND
CLAUDE
LEBIZAY
GERALD
MAUDUIT
DANIEL
MUNIER JEAN-
MARIE
PAUORTE
ANDRE
SAINT-
GEORGES ERIC
SPAGNOL
VICTOR

(30)Priority

Priority number : **93 93480087** Priority date : **30.06.1993** Priority country : **EP**

(54) PROGRAMMABLE HIGH-PERFORMANCE DATA COMMUNICATION ADAPTER FOR HIGH-SPEED PACKET TRANSMISSION NETWORK

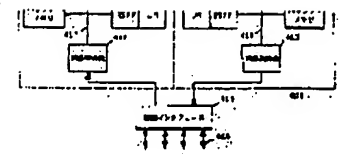
(57)Abstract:

PURPOSE: To optimize transmission, routing, etc., by performing buffering and queuing by specific programming.

CONSTITUTION: A line receiver 407 temporarily stores and checks a packet together with a buffer memory 405 and



an RSPP 406 upon receiving the packet from a line 415. Then the receiver 407 sends a control message to a GPP 409 in accordance with the routing made, capsulates the packet, and transfers the packet and a control message from the GPP 409 to an exchange transmitter 404, in accordance with a routing mode. The exchange transmitter 404 segments an incoming packet, generates an appropriate routing header, and sends the header to an exchange 403. An exchange receiver 410 performs processing, such as queuing, etc., on a packet in accordance with the routing mode together with a buffer memory 411 and a TSPP 412 and sends the packet to a line transmitter 413 upon receiving the packet from the exchange 403. The line transmitter 413 transfers an incoming data flow and the control flow of the GPP 409 to a line interface 415.



LEGAL STATUS

[Date of request for examination] 11.05.1994

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]

[Date of final disposal for
application]

[Patent number] 2682561

[Date of registration] 08.08.1997

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-147590

(43) 公開日 平成7年(1995)6月6日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/56		9077-5K	H 0 4 L 11/ 20	1 0 2 A

審査請求 有 請求項の数22 OL (全 24 頁)

(21) 出願番号 特願平6-97416

(22) 出願日 平成6年(1994)5月11日

(31) 優先権主張番号 9 3 4 8 0 0 8 7 . 1

(32) 優先日 1993年6月30日

(33) 優先権主張国 フランス (F R)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 クラウド・ガランド

フランス、カネス・ソア・メー 06800、

アベニュー・デ・ツイリエス 56

(74) 代理人 弁理士 合田 潔 (外2名)

最終頁に続く

(54) 【発明の名称】 高速パケット伝送ネットワーク用プログラマブル高性能データ通信アダプタ

(57) 【要約】 (修正有)

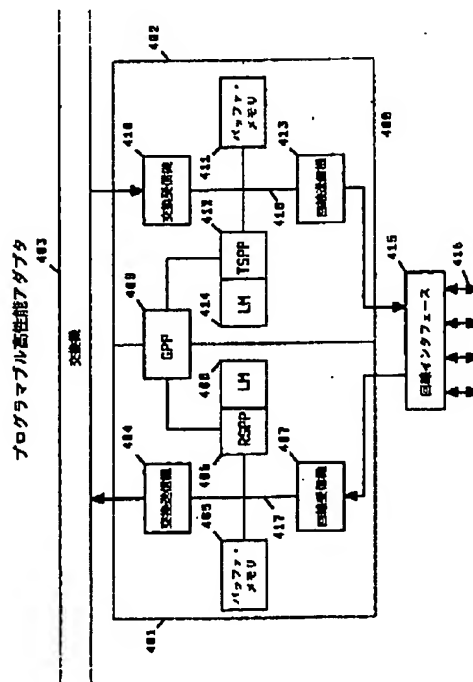
【目的】 高速パケット伝送ネットワーク用の高性能データ・パケット・バッファリング方法及びプログラマブル・データ通信アダプタを提供する。

【構成】 回線アダプタが固定長または可変長のデータ・パケットを送受信するための、プログラマブル処理手段を含む。本システムは次の手段を含む。

- ・上記データ・パケットをバッファリングする手段
- ・上記バッファリング手段及び上記バッファリング手段内の上記データ・パケットを識別する手段
- ・単一命令内の上記識別手段を記憶手段にキューイングする手段
- ・上記記憶手段から別の単一命令内の上記識別手段をキューイング解除する手段
- ・上記バッファリング手段を解放する手段

各命令は、上記処理手段により並列に実行される次の最大3つのオペレーションを含む。

- ①上記識別手段に対する演算論理 (A L U) オペレーション
- ②上記記憶手段に対するメモリ・オペレーション
- ③シーケンス・オペレーション



【特許請求の範囲】

【請求項1】通信ネットワーク内のパケット交換ノードにおける回線アダプタであって、

固定長または可変長のデータ・パケットを受信及び送信するプログラマブル処理手段（SPP）と、

上記データ・パケットをバッファリングする手段と、

上記バッファリング手段内の上記データ・パケットを識別する手段と、

単一命令内の上記識別手段を記憶手段にキューイングする手段と、

上記記憶手段から別の単一命令内の上記識別手段をキューイング解除する手段と、

上記バッファリング手段を解放する手段とを含み、

更に、各上記キューイング及び上記キューイング解除の命令が、

上記識別手段に対する演算論理（ALU）オペレーションと、

上記記憶手段に対するメモリ・オペレーションと、

シーケンス・オペレーションとを含み、

上記3つのオペレーションが上記処理手段により並列に実行されることを特徴とする、

プログラマブル・アダプタ。

【請求項2】上記バッファリング手段が、直接メモリ・アクセス・モジュールの制御の下で、バッファに固定長の上記データ・パケットを書込み及び読出す手段を含み、

上記記憶手段が、上記処理手段（SPP）の制御の下で、上記識別手段を別々に記憶する手段を含む、

請求項1記載のプログラマブル・アダプタ。

【請求項3】上記識別手段が、

上記バッファを識別し、1つ以上のバッファ・リスト（B_LIST）内で連鎖されるバッファ・ポインタ（B_PTR）と、

上記バッファ・リスト（B_LIST）を識別し、1つ以上のパケット・リスト（P_LIST）内で連鎖されるパケット・ポインタ（P_PTR）と、

上記パケット・リスト（P_LIST）を識別し、1つ以上のキュー・リスト（Q_LIST）内で連鎖されるキュー・ポインタ（Q_PTR）とを含み、各リストが、該リストが含むデータに関連する任意のタイプの情報を記憶する接頭部を含む、請求項2記載のプログラマブル・アダプタ。

【請求項4】上記バッファ・リスト接頭部が、データ・パケット・ヘッダに含まれる制御情報及び経路指定情報を含む、請求項3記載のプログラマブル・アダプタ。

【請求項5】各リスト・ポインタが、

ポインタ・リストを識別する第1のフィールド（LID）と、

上記ポインタ・リストに結合されるネクスト・ポインタを識別する第2のフィールド（TAIL）と、

上記ポインタ・リスト内の最初のポインタを識別する第3のフィールド（HEAD）とを含む、請求項3または請求項4に記載のプログラマブル・アダプタ。

【請求項6】各バッファ・ポインタが、

バッファを識別する第1のフィールド（BID）と、

上記バッファ内の最初のデータ要素を識別する第2のフィールド（FEP）と、

上記バッファ内の最後のデータ要素を識別する第3のフィールド（LEP）と、

10 上記バッファ内の現データ要素を識別する第4のフィールド（CEP）と、

状態標識として使用される第5のフィールド（SF）とを含む、請求項3、請求項4、または請求項5に記載のプログラマブル・アダプタ。

【請求項7】バッファ・リストが固定長であり、

記憶するデータ・パケットが単一のバッファ・リストを含むことが可能なものよりも大きい場合に、バッファ・ポインタが複数のバッファ・リスト内で連鎖され、

上記データ・パケットの異なるリスト間の相関を保証するために、上記状態標識が各バッファ・リストの最終バッファ・ポインタ内でフラグ化される、

請求項6記載のプログラマブル・アダプタ。

【請求項8】上記キューイング命令が、

リスト・ポインタのテール・フィールドを増分する手段と、

テール・フィールドにより識別されるポインタをLIDフィールドにより識別されるポインタ・リスト内に同時に記憶する手段と、

30 リスト・エンプティ（E）またはリスト・フル（F）標識を生成する手段とを含む、請求項5、請求項6、または請求項7に記載のプログラマブル・アダプタ。

【請求項9】上記キューイング解除命令が、

リスト・ポインタのヘッド・フィールドを増分する手段と、

ヘッド・フィールドにより識別されるポインタをLIDフィールドにより識別されるポインタ・リスト内に同時に読出す手段と、

リスト・エンプティ（E）またはリスト・フル（F）標識を生成する手段とを含む、請求項5、請求項6、請求項7、または請求項8に記載のプログラマブル・アダプタ。

【請求項10】上記命令が上記リスト・エンプティ（E）またはリスト・フル（F）標識をテストする手段を含む、請求項8または請求項9に記載のプログラマブル・アダプタ。

【請求項11】データ・パケットのバッファリング手段の管理が、バッファ・ポインタの全体を含む永久リスト（フリー・バッファ・リスト）により実現される、請求項3、請求項4、請求項5、請求項6、請求項7、請求項8、請求項9、または請求項10に記載のプログラマ

ブル・アダプタ。

【請求項12】上記処理手段が、

演算論理ユニットと、

レジスタ・ファイルと、

シーケンサと、

命令ファイルと、

直接アクセス・メモリ・モジュールと、

物理メモリ・アドレス発生器とを含む、請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7、請求項8、請求項9、請求項10、または請求項11に記載のプログラマブル・アダプタ。

【請求項13】固定長または可変長のデータ・パケットを受信及び送信するためのプログラマブル処理手段（SPP）とバッファリング手段と記憶手段を含むパケット交換ノードの回線アダプタにおいて、固定長または可変長のデータ・パケットをキューイング及びキューイング解除する方法であって、

上記バッファリング手段に上記データ・パケットをバッファリングするステップと、

識別手段を定義し、上記バッファリング手段内の上記バッファリング手段及び上記データ・パケットを識別するステップと、

単一命令内の上記識別手段を記憶手段にキューイングするステップと、

上記記憶手段から別の単一命令内の上記識別手段をキューイング解除するステップとを含み、各上記キューイング及びキューイング解除命令が、

上記識別手段に対する演算論理（ALU）オペレーションと、

上記記憶手段に対するメモリ・オペレーションと、

シーケンス・オペレーションとを含み、

上記3つのオペレーションが上記処理手段により並列に実行されることを特徴とする方法。

【請求項14】上記バッファリング手段が直接メモリ・アクセス・モジュールの制御の下で、バッファに固定長の上記データ・パケットを書込み及び読出す手段を含み、

上記記憶手段が上記処理手段（SPP）の制御の下で、上記識別手段を別々に記憶する手段を含む、

請求項13記載の方法。

【請求項15】上記識別手段が、

上記バッファを識別し、1つ以上のバッファ・リスト（B_LIST）内で連鎖されるバッファ・ポインタ（B_PTR）と、

上記バッファ・リスト（B_LIST）を識別し、1つ以上のパケット・リスト（P_LIST）内で連鎖されるパケット・ポインタ（P_PTR）と、

上記パケット・リスト（P_LIST）を識別し、1つ以上のキュー・リスト（Q_LIST）内で連鎖されるキュー・ポインタ（Q_PTR）とを含み、各リストが

該リストが含むデータに関連する任意のタイプの情報を記憶する接頭部を含む、請求項14記載の方法。

【請求項16】上記バッファ・リスト接頭部が、データ・パケット・ヘッダに含まれる制御情報及び経路指定情報を含む、請求項15記載の方法。

【請求項17】各リスト・ポインタが、

ポインタ・リストを識別する第1のフィールド（LID）と、

上記ポインタ・リストに結合されるネクスト・ポインタを識別する第2のフィールド（TAIL）と、

上記ポインタ・リスト内の最初のポインタを識別する第3のフィールド（HEAD）とを含む、請求項15または請求項16に記載の方法。

【請求項18】各バッファ・ポインタが、

バッファを識別する第1のフィールド（BID）と、

上記バッファ内の最初のデータ要素を識別する第2のフィールド（FEP）と、

上記バッファ内の最後のデータ要素を識別する第3のフィールド（LEP）と、

上記バッファ内の現データ要素を識別する第4のフィールド（CEP）と、

状態標識として使用される第5のフィールド（SF）とを含む、請求項15、請求項16、または請求項17に記載の方法。

【請求項19】バッファ・リストが固定長であり、

記憶するデータ・パケットが単一のバッファ・リストが含むことが可能なものよりも大きい場合に、バッファ・ポインタが複数のバッファ・リスト内で連鎖され、

上記データ・パケットの異なるリスト間の相関を保証するために、上記状態標識が各バッファ・リストの最終バッファ・ポインタ内でフラグ化される、

請求項18記載の方法。

【請求項20】上記キューイング命令が、

リスト・ポインタのテール・フィールドを増分するステップと、

テール・フィールドにより識別されるポインタをLIDフィールドにより識別されるポインタ・リスト内に同時に記憶するステップと、

リスト・エンプティ（E）またはリスト・フル（F）標識を生成するステップとを含む、請求項17、請求項18、または請求項19に記載の方法。

【請求項21】上記キューイング解除命令が、

リスト・ポインタのヘッド・フィールドを増分するステップと、

ヘッド・フィールドにより識別されるポインタをLIDフィールドにより識別されるポインタ・リスト内に同時に読出すステップと、

リスト・エンプティ（E）またはリスト・フル（F）標識を生成するステップと、

を含む、請求項17、請求項18、請求項19、または

請求項20に記載の方法。

【請求項22】上記命令が上記リスト・エンブティ(E)またはリスト・フル(F) 標識をテストする手段を含む、請求項20または請求項21に記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高速ネットワークのパケット交換ノードのプログラマブル・データ通信アダプタにおける高性能パケット・パッファリング・システム及び方法に関する。

【0002】

【従来の技術】

技術的及び市場的傾向：電気通信環境は十分に進歩し、ここ数年著しく変化した。この主な理由は、次に示す通信技術において実現された輝かしい進歩である。すなわち、

- ・光ファイバ伝送の成熟と、今日、高速レートが非常に低いビット誤り率により支持されることと、
- ・専用及び公衆電気通信ネットワーク内でのデジタル技術の全般的使用

である。

【0003】これらの新たに出現した技術に関連して、公的または私的な電気通信会社からの提供が進展しつつある。すなわち、

- ・高速伝送の出現は高帯域接続性の展開を必要とすることと、
- ・通信容量の増加がより魅力的な料金を生むことと、
- ・広範囲の接続性オプション、効率的な帯域幅管理及び新たな媒体の支援を通じ、ユーザの成長を管理する高い柔軟性がユーザに対し提供されることと、
- ・1度サンプルされ、デジタル的に符号化されると、音声、ビデオ及びイメージに由来するデータは、共通で透過的な移送のための純粋データと併合されることである。

【0004】豊富で安価な通信手段により、以前にはコストのために不可能であった多くの潜在的アプリケーションが、現在注目を集めている。このような環境において、4つの総称的な要求がユーザにより提示されている。すなわち、

- ・旧アプリケーションのより良好な実行
- ・通信ネットワークの最適化
- ・新たなアプリケーションの実行

である。

【0005】高性能ネットワーク：第1のステップでは、T1中継ネットワークがTDM(時分割多重：Time Division Multiplexing) 技術により主に展開され、回線の集合化を通じてコスト削減を達成した。これらのシステムは、ホスト/端末コンピューティング及び64Kbps PCM(パルス符号変調：Pulse Code Modulation) 音声トラフィックの固定帯域幅要求を容易に支援

する。

【0006】今日、データ伝送はアプリケーションに特定の焦点を置き、またカスタム・トラフィック・プロファイルにおける基本的な推移を統合することにより、発展している。ワークステーションの成長、ローカル・エリア・ネットワーク(LAN)相互接続、ワークステーション及びスーパー・コンピュータ間の分散処理、新たなアプリケーション及び様々なしばしば相反する構造の統合(例えば階層的対ピア・ツー・ピア、広域(WAN)対構内(LAN)ネットワーク、音声対データ)に影響され、データ・プロファイルはその帯域幅、バースト・レート、非決定性がより高くなり、またより接続性を要求する。上述にもとづき、LANトラフィック、音声、ビデオ、及びチャネルに接続されたホスト、事務用ワークステーション、エンジニアリング・ワークステーション、端末、及び中間ファイル・サーバ間のトラフィックを伝送する高速中継を横断し、分散コンピューティング・アプリケーションを支援する強い要求が存在することが明らかである。このトラフィックは次に示す異種の混合を反映する。すなわち、

- ・イーサネット、トークン・リング、APPN、FDDI、OSI、ISDN、ATMなどを含むエンド・ユーザ・ネットワーク・プロトコル
- ・実時間伝送(音声及びビデオなどの安定ストリーム・トラフィック)及び非実時間伝送(対話データなどのバースト的性質のトラフィック)

である。

【0007】高速プロトコルによる敏活な中継ネットワークのこのビジョンは、データ、音声、及びビデオ情報をデジタル的に符号化し、小さなパケットに刻み、ノード及びリンクの共通のセットを通じて伝送する高速パケット交換ネットワーク・アーキテクチャの出現を推進する。低速リンクは存在するが、光ファイバ・リンクの可用性は、多くの低速リンクを有するよりも、幾つかの高速リンクを有することの方を費用的に有利にする。高速中継の他に、実質的に交換ノードにアクセスを提供する周辺ネットワークが存在する。この周辺ネットワークは比較的低速なリンクを含み、これらは中継で使用されるのと同じのプロトコルまたは交換技術を使用しない。更に、周辺ネットワークは、比較的低速なエンド・ユーザのトラフィックを高速中継にマルチプレクスするタスクを実行する。このように、中継交換ノードは主に高速回線を処理する。各交換ノードに入力する高速回線の数はいくつかの小さいが、総スループットは1秒当たりギガビットの範囲で非常に高い。

【0008】スループット：これらの新たなアーキテクチャの主要な要求は、実時間配布制約条件を満足し、音声及びビデオの移送に必要な高ノード・スループットを達成するために、終端間遅延を低減することである。リンク速度の増加は、通信ノードの処理速度の比例的増加

とは合致せず、高速ネットワークに対する基本的な挑戦は、各ノードにおけるバケット処理時間の最小化である。例として、2人のエンド・ユーザ間で音声バケットを配布するための典型的な100ms遅延に適合するためには、

- ・バケット化及びエンド・ポイントにおける機能の実行に合計36msが必要で、

- ・米国を横断するために、約20msの不変の伝播遅延が必要で、

- ・バケットがネットワークを通じて移動する時、全ノード内処理時間に対し、44msが必要となり、5ノードのネットワークでは、各ノードはキューイング (queuing) 時間を含め全処理時間に約8msを要し、10ノードのネットワークでは、各ノードは約4msを要する。

【0009】同一の制約条件を考慮する別の方法が図1に表される。すなわち、1MIPS (Millions of Instructions Per Second: 100万命令/秒) の有効処理レートでノードを取り込む場合であり、ネットワーク・ノードが1処理バケット当たり833000命令を実行しなければならない場合でも、9.6kbps回線を1000バイトのバケットで満たすことが可能である。64kbps回線では、ノードは1バケット当たり125000命令を実行可能である。しかしながら、OC24リンクを満たすためには、1MIPSノードは1バケット当たり7命令しか実行できない。後者の場合では、10MIPS乃至30MIPSの有効レートでさえも、1バケット当たり70乃至200命令しか許可できない。

【0010】処理時間を最小化し、高速/低誤り率技術を十分に利用するために、新たな高帯域ネットワーク・アーキテクチャにより提供されるほとんどの移送機能は、終端間ベースで実行される。これはデータのフロー制御及び誤り回復、音声及びビデオのバケット化及び再アセンブリを含む。プロトコルは次のように単純化される。

- ・第1に、中継ノードが個々の(エンド・ユーザ間の)移送接続を気にする必要がない。

- ・第2に、高性能及び高品質リンクがもはやノード間誤り回復または再伝送を要求しない。渋滞及びフロー制御がネットワーク接続のアクセス・ポイント及びエンド・ポイントにおいて管理され、その結果、中間ノードの配

【0011】バケット・サイズ: 伝送のために提供されるユーザ・データのブロック・サイズは広範に変化する。これらのブロックが多くの短い"バケット"に分割される場合、全ブロックがネットワークを横断する通過遅延はかなり短くなる。これはブロックが多くの短いバケットに分割される時、各バケットがネットワークにより別々に処理され、ブロックの最初の幾つかのバケットが宛先において、最後のバケットが出所により送信されるよりも先に受信されるからである。

【0012】全てのデータ・トラフィックを小さな最大長に制限することにより、中間ノードにおけるキューイング遅延が平滑化され、ブロックが任意長である場合よりも、より平坦な通過遅延特性が提供される。短バケットの別の利点は、例えば、各バケットが丁度1つのバッファに適合することが知られており、バケットが短く、一定の比較的均一なレートで配布される場合に、中間ノード内の固定長バッファのプールの管理を容易にし、ノード・バッファ・プールに必要な記憶容量を最小化する。

【0013】しかしながら、短バケット・サイズには大きな問題がある。従来のバケット交換ノードのアーキテクチャの特徴は、バケット長に関係なく、バケットの交換に特定の時間または特定の命令数を要することである。すなわち、1000バイトのブロックは、100バイトのブロックの場合とほぼ同等の交換用のノード資源を必要とする。従って、1000バイトのバケットを10個すなわち100バイトのバケットに分割すると、中間交換ノード上におけるロードが10倍になる。この作用はノードが非常に高速であり、リンクが非常に遅い場合は、それほどクリティカルではない。今日、リンクは非常に高速であり、ノードは比較的遅いため、この特徴はネットワーク・スループットに対する重大な制限となる。

【0014】短バケットは、音声またはビデオ・バケットなどの受信側に安定した均一なレート(等時性モード)で配布されなければならない実時間データの伝送に、より好適である。通過遅延及び誤り回復の両者の問題に対する解決は、固定長の非常に短いバケットを使用することである。更に、この技術はノードの交換に必要な交換ハードウェアを単純化(従って高速化)する。例えば、ATM標準(Asynchronous Transfer Mode: 非同期転送モード)は48バイトのデータ・セル・サイズを使用し(セルは固定長のバケット)、ルーティング(経路指定)ヘッダ(5バイト)が妥当性のためにチェックされ、セル内のデータはアプリケーションにより管理される"高位層"プロトコルを意味する終端間プロトコルに残される。

【0015】別の面では、純粋なデータが非常にパースト的で非決定性の形式で生成され、この場合には通過遅延の問題は有さない。このデータは、必ずしも宛先においてエンド・ユーザに提供される情報の品質を劣化させることなく、遅延される。バケットが長くなればなるほど、任意のデータ・スループットにおいて、1秒当たりより少ないバケットが交換されなければならない。しかしながら、トラフィックの予測不能文字は、通常、応答時間を犠牲にし、バッファ及びキューの大量の処理を要求する。

【0016】異なるデータ・バケット伝送システムを十分に利用するためには、ネットワークを介するデータ転

送は、パケットを人工的な長さで処理することなく、ユーザ・パケットとほぼ同じサイズのパケットにより実行されなければならない。単なるデータ・ネットワーク或いは単なる音声またはビデオ・ネットワークに反し、高速ネットワーク・アーキテクチャは、可変長パケットにより動作する複数の異種の伝送プロトコルを支援する必要がある。

【0017】接続性：高速ネットワークでは、ノードは総接続性を提供しなければならない。これはベンダまたはプロトコルに関係なく顧客の装置を接続すること、及びエンド・ユーザが他の装置と通信する機能を含む。トラフィック・タイプはデータ、音声、ビデオ、ファックス、グラフィック及びイメージを含む。ノードは全ての共通キャリア機構を利用し、複数のプロトコルに適用可能でなければならない。全ての必要な変換が、エンド・ユーザにとって自動的に且つ透過的でなければならない。例えば、高速ノードは、ユーザ・ネットワーク上のSNA (System NetworkArchitecture) 装置の存在に依存してはならない。これはSNA環境においても、ルータ、構内交換 (PBX)、ローカル・エリア・ネットワーク (LAN) などから構成される非SNA環境の場合と同様のサービス・レベルを提供できなければならない。

【0018】主要要求：超高速回線上の混合トラフィック・ストリームの効率的移送は、ネットワークの各通信ノードに対し、次のように要約される性能に関する要求セットを意味する。

- ・超短パケット処理時間
- ・超高スループット
- ・効率的キュー及びバッファ管理
- ・1パケット当たりの制限された命令数
- ・広範囲の接続性オプションを支援する超柔軟性

【0019】高帯域幅は、超高速パケット処理及び制御プロトコルを支援し、音声及びビデオ・トラフィックの実時間伝送ニーズを満足するための特殊なハードウェアの必要を意味する。処理時間は高速ネットワークにおける主なボトルネックであり、今日ほとんどの通信ノードは、ルーティング・パケット処理及びルーティング機能をプロセッサからオフ・ロードする高速交換ハードウェアで構成される。

【0020】しかしながら、同等の性能においては、ソフトウェアによるアプローチにより各ノードにおける接続性及び柔軟性の要求に答え、製造及び適応コストを最適化することが、最も適切な解決方法である。回線アダプタは共通のハードウェア設計を基本とし、アクセス・ポイント間またはノード間移送機能を実行する特定のプログラミングにより構成される。異なるアクセス・プロトコル及びデータ・ストリーム、すなわちフレーム・リレー、HDLC (High Level Data LinkControl: ハイ・レベル・データ・リンク制御手順)、CBO (Continuous BitOperation: 連続ビット・オペレーション)、

ATMなどを支援するアダプタの適応性が、アクセス・エージェントと呼ばれる論理コンポーネントにより提供される。こうした論理結合アダプタ/アクセス・エージェントはソフトウェアにより指定され、低減されたコストで非常に大きな柔軟性を提供する。各回線アダプタはシステム始動時に次の項目に従い、自動的に構成される。

- ・アダプタ機能
- ・アクセス・プロトコル

10 【0021】

【発明が解決しようとする課題】本発明によれば、高性能パケット・バッファリング方法及びプログラマブル・データ通信アダプタ・システムが開示される。回線アダプタは、固定長及び可変長のデータ・パケットを送受信するためのプログラマブル処理手段を含む。このシステムは次の点で特徴化される。

- ・上記データ・パケットをバッファリングする手段132

20 ・上記バッファリング手段内の上記データ・パケットを識別する手段

- ・単一命令内の上記識別手段を記憶手段131にキューイングする手段 (図15)

- ・別の単一命令内の上記識別手段を上記記憶手段131からキューイング解除する手段 (図16)

- ・上記バッファリング手段を解放する手段

【0022】

【課題を解決するための手段】各命令は次に示す上記処理手段により並列に実行される3つのオペレーションから構成される。

30 ・上記識別手段に関する演算論理ユニット (ALU) オペレーション

- ・上記記憶手段に関するメモリ・オペレーション

- ・シーケンス・オペレーション

【0023】

【実施例】図2を参照すると、通信システムの典型的なモデルが示され、これは専用回線、キャリア提供サービス、または公衆データ・ネットワークを使用する高性能ネットワーク200を介して通信する、幾つかのユーザ・ネットワーク212により構成される。各ユーザ・ネットワークは、エンタプライズ・サーバ213として使用される大規模コンピュータを相互接続する通信プロセッサ及びリンク211、LAN (ローカル・エリア・ネットワーク) 214に接続されるワークステーションまたはパーソナル・コンピュータを使用するユーザ・グループ、アプリケーション・サーバ215、PBX (構内交換) 216またはビデオ・サーバ217のセットとして説明される。これらのユーザ・ネットワークは異なる設定で分散されており、広域移送機構を通じて相互に接続される必要があり、データ転送を編成するために異なるアプローチが使用される。幾つかのアーキテクチャは

各ネットワーク・ノードにおけるデータの保全性をチェックし、伝送を低速化する。他のアーキテクチャは実質的に高速データ転送を要求し、それにより、パケットが最高レートで最後の宛先に伝送されるようにフローを処理するために、ノード内の伝送、ルーティング及び交換技術が最適化される。本発明は実質的に後者のカテゴリに属し、より詳細には、次章で詳述される高速パケット交換ネットワーク・アーキテクチャに属する。

【0024】高速パケット交換ネットワーク：図2は一般的に、8つのアクセス・ノード（201乃至208）を含む高速パケット交換伝送システムを示し、各ノードはトランク（Trunk）209と呼ばれる高速通信回線により相互接続される。ユーザによる高速ネットワークへのアクセス210は、周囲に配置されるアクセス・ノード202乃至205を介して実現される。これらのアクセス・ノードは1つ以上のポートを含み、各々は標準インタフェースを支援する外部装置をネットワークに接続し、ユーザ・データ・フローをネットワークを介して、他の外部装置にまたはから移送するために要求される変換を実行するアクセス・ポイントを提供する。例として、アクセス・ノード202は3つのポートを介して、構内交換（PBX）、アプリケーション・サーバ、及びハブとそれぞれインタフェースし、隣接中継ノード201、208及び205により、ネットワークを介して通信する。

【0025】交換ノード：各ネットワーク・ノード201乃至208はルーティング・ポイントを含み、入来パケット・データが選択的に、隣接中継ノードに向かう出力トランクに経路指定される。こうしたルーティング判断は、データ・パケットのヘッダに含まれる情報に従って下される。基本パケット・ルーティング機能に加え、ネットワーク・ノードは次に示すような補助サービスを提供する。

- ・ノード内で生成されたパケットに対応するルーティング経路の判断
- ・ネットワーク・ユーザ及び資源に関する情報の検索及び更新などのディレクトリ・サービス
- ・リンク利用情報を含む物理ネットワーク・トポロジの一貫性の維持
- ・ネットワークのアクセス・ポイントにおける資源の予約

【0026】各ポートは複数のユーザ処理装置に接続され、各ユーザ装置は別のユーザ・システムに送信されるデジタル・データのソース、または別のユーザ・システムから受信されるデジタル・データを消費するデータ・シンク、または典型的にはその両者を含む。ユーザ・プロトコルの解釈、パケット・ネットワーク200上の伝送に適するようにフォーマットされたパケットへのユーザ・データの変換、及びこれらのパケットを経路指定するためのヘッダの生成は、ポート内で実行されるアクセ

ス・エージェントにより達成される。このヘッダは制御フィールド及びルーティング・フィールドから構成される。

・ルーティング・フィールドは、ネットワーク200を介して、パケットをアドレス指定される宛先エンド・ノードに経路指定するのに必要な全ての情報を含む。

・制御フィールドはとりわけ、ルーティング・フィールドを解釈するために使用されるプロトコルの符号化識別を含む。

10 【0027】ルーティング・ポイント：図3は、図2に表されるネットワーク・ノード201乃至208内で見出される典型的なルーティング・ポイント300の一般的なブロック図を示す。ルーティング・ポイントは高速パケット交換機302を含み、ここにルーティング・ポイントに到来するパケットは入力される。こうしたパケットは、

- ・他のノードから高速伝送リンク303上をトランク・アダプタ304を介して、及び
- ・ユーザからポート301と呼ばれるアプリケーション・アダプタを介して、受信される。

20 【0028】パケット・ヘッダ内の情報を使用することにより、アダプタ304、301は、交換機302によりローカル・ユーザ・ネットワーク307に向けて、またはノードを去り伝送リンク303に向けて経路指定されるパケットを決定する。アダプタ301及び304は、交換機302にパケットを発する以前または以後に、それらをキューに待機するためのキューイング回路を含む。

30 【0029】ルート制御装置305は、通信経路を達成するために使用されるネットワーク資源の量を最小化するように、ネットワーク200を介する最適なルートを計算し、ルーティング・ポイント内で生成されるパケットのヘッダを生成する。最適化の基準には、接続要求の特性、経路内のトランクの能力及び利用、中間ノードの数などが含まれる。経路指定のために必要な全ての情報、すなわちノード及びノードに接続される伝送リンクに関する情報が、ネットワーク・トポロジ・データベース306に含まれる。安定状態条件の下では、全てのルーティング・ポイントが同じビューを有する。新たなリンクが活動化され、新たなノードがネットワークに追加される時、ネットワーク・トポロジ情報が更新される。こうした情報は制御メッセージにより他の全てのルート制御装置との間で交換され、ルート計算のために必要な最新の情報を提供する（こうしたデータベースの更新は、ネットワークのエンド・ユーザ間のデータ・パケットに非常に類似するパケットにより処理される）。ネットワーク・トポロジが継続的な更新により、各ノードにおいて現状を維持される事実は、エンド・ユーザの論理セッションを崩壊することなく、動的なネットワーク再構成を可能とする。

【0030】パケット・ルーティング・ポイントへ入来る伝送リンクは、ローカル・ユーザ・ネットワーク210内の外部装置からのリンク、または隣接ネットワーク・ノード209からのリンク（トランク）を含む。いずれの場合においても、ルーティング・ポイントは同様に動作し、各データ・パケットを受信し、それをパケット・ヘッダ内の情報により指令される別のルーティング・ポイントに転送する。高速パケット交換ネットワークは、単一のパケットの期間を除いては、任意の伝送機構またはノード機構をその通信経路に専従させることなく、任意の2エンド・ユーザ・アプリケーション間の通信を可能とするように動作する。このようにして、パケット・ネットワークの通信機構の利用が最適化され、各通信経路に対応する専用伝送リンクで可能なものよりも、極めて多くのトラフィックが伝送可能となる。

【0031】ポート及びトランク・アダプタ：

アダプタ機能：ポートは高速ネットワークの境界に配置される。これらは端末装置が使用される特定の高速プロトコルを知る必要性を伴わないで、高速ネットワークを介して情報を交換することを許可する。ポートの主要機能を次に示す。

- ・外部資源から外来プロトコル・データ単位を受信し、それらを高速パケットとしてネットワークを介して、目的ポートに転送する。
- ・高速パケットを外来プロトコル・データ単位に変換し戻し、それらを目的資源に送信する。
- ・帯域幅を制御する。

注釈：出所ポート及び目的ポートは同一ノード内に配置される。

【0032】トランクは高速ネットワーク・ノード間のリンクである。これらは高速パケットを伝送する。各トランクはそのリンク帯域幅及びリンク状態を管理する。トランクの重要なタスクは、遅延及び渋滞を低減するためのトラフィック優先順位の管理及び内部バッファの割当てである。

【0033】更に、ルート制御装置305と呼ばれる特殊なタイプのアダプタが存在する。これは、

- ・交換機302を介して、他のアダプタ301、304と通信する。
- ・トポロジ、経路選択などのルート制御装置の集中化機能を実現する。
- ・終端間高速接続を確立、維持及びキャンセルする。

【0034】アダプタ・アーキテクチャ：多かれ少なかれ柔軟で効率的な伝送システムを獲得するために、上記ポート、トランク及びルート制御装置アダプタを設計するための幾つかの技術が存在する。今日、ほとんどのアダプタは、接続リンクの機能及びプロトコルに依存する特殊なハードウェアにより構成される。

【0035】本発明は前述された接続性及び柔軟性要求を満たすものであり、共通ハードウェア構造にもとづく

ソフトウェア解決を提供する。ポート及びトランク・アダプタは同一のアーキテクチャを提示し、それらの機能の違いは特定のプログラミングにより実現される。しかしながら、今日市場において入手可能な最も効率的な汎用目的マイクロプロセッサを使用しても、経験によれば、1秒当たりの交換パケット数に関する所望の性能レベルに達することは非常に困難である。これが各アダプタの制御が2つのプロセッサ、すなわちパケット交換用に最適化された特定目的プロセッサ（SPP）406及び412、及び汎用目的プロセッサ（GPP）409の間で共用されてきた理由である。前者は性能面でクリティカルな処理である交換パケットを扱い、後者はアダプタの管理を担当する。

【0036】図4に示されるように、各アダプタ400は次の論理コンポーネントを含む。

1. 汎用目的プロセッサ（GPP）409—このプログラミングは選択されたポートまたはトランク・アダプタ機能に依存する。GPPはアダプタ制御オペレーションを実現する。

2. 受信アダプタ401—次の3つの機能を実現する。

- ・高速パケット・ヘッダのチェック
- ・各入来パケットのヘッダ内で指定されるルーティング・モードに従うトラフィック識別
- ・適切なヘッダによる入来パケットの交換機403を介する経路指定

【0037】受信アダプタは次の論理コンポーネントを含む。

- a. 回線受信機407—回線インタフェース415と受信バッファ・メモリ（RBM）405との間のデータ転送を処理する。
- b. 受信バッファ・メモリ（RBM）405—ユーザ・データ・パケットを一時記憶する。
- c. 受信特定目的プロセッサ（RSPP）406—局所メモリ（LM）408を含む特殊マイクロプロセッサを基本とする。RSPPは受信された安定状態パケット・フローを処理し、制御パケットを汎用目的プロセッサ409に転送する。
- d. 局所メモリ（LM）408—RSPP406により作業領域として使用される。

e. 交換送信機アダプタ404

- 受信特定目的プロセッサ406の制御の下で、受信バッファ・メモリ（RBM）405から転送されるデータ・フローを処理する。
- このフローを固定長セルにセグメント化する。
- 適切な交換ルーティング・ヘッダを生成する。

【0038】3. 送信アダプタ402—次の機能を実現する。

- ・交換機403からのデータ・フローの受信
- ・セル・ヘッダのチェック
- ・パケット（ポート）内の再アセンブリ

- ・トランク機能 (トランク・アダプタ)
- ・ルーティング

【0039】送信アダプタは次のコンポーネントを含む。

- 交換受信機410-交換機403から入来するフローを処理し、それを再アセンブリのためにバッファ・メモリに転送する。
- 送信特定目的プロセッサ(XSPP)412-受信特定目的プロセッサ406と類似。XSPPは安定状態データを処理し、制御フローを汎用目的プロセッサ(GPP)409に転送する。
- 回線送信機アダプタ413-バッファ・メモリ411と回線インタフェース415との間のデータ転送を処理する。

【0040】アダプタは一方の側がパケット交換機に接続され、他方の側が回線インタフェースに接続される。

- ・回線インタフェース415はポート及びトランク・アダプタ物理インタフェースを適切な媒体に適合させる。
- ・パケット交換機302、403はルート制御装置305及び異なるポート301、トランク・アダプタ304と通信することを許可する。

【0041】データ・フロー制御：トランク・アダプタにおける受信及び送信データ・フローが図5に示される。可変長のパケットを有するプロプライエタリ高速ネットワークでは、受信処理は次のステップを含む。

- 回線受信機、バッファ・メモリ、特定目的プロセッサ501システムが、
 - パケットを回線から受信するステップ。
 - パケット・ヘッダをチェックし、エラーの場合、パケットを廃棄するステップ。
 - ルーティング・モードに従い、パケット・ヘッダに含まれる情報を処理するステップ。
 - 制御メッセージを汎用目的プロセッサ(GPP)502へ転送するステップ。
 - パケットを宛先アダプタの機能内の特定交換ヘッダによりカプセル化するステップ。
 - パケット及びGPP502制御メッセージを交換送信機アダプタ504に転送するステップ。

【0042】2. 交換送信機アダプタ504

- パケットを交換機503に適合される固定長のセルにセグメント化するステップ。
- 交換機503を介するセルの伝送の間に交換ヘッダの保全性を保証するために、エラー・チェック・フィールドを生成するステップ。

【0043】送信処理は次のステップを含む。

- 交換受信アダプタ505が、
 - 交換機503からセルを受信するステップ。
 - 交換ヘッダをチェックし、エラーの場合、セルを廃棄するステップ。

【0044】2. ライン受信機、バッファ・メモリ、特

定目的プロセッサ506システムが、

- データ・パケットを再アセンブルするステップ。
- 制御パケットを汎用目的プロセッサ502に転送するステップ。
- パケットをルーティング・ヘッダによりカプセル化するステップ。
- GPP502から制御パケットを受信するステップ。
- データ及び制御パケットを適切なキューにキューイングするステップ。
- 出力パケットを実時間データに与えられる優先順位で処理するステップ(次に非実時間データに与えられる優先順位で処理するステップ)。

【0045】可変長のパケットを有するプロプライエタリ環境において、または固定長の短セルを有するATM(非同期伝送モード)などの標準モードにおいて、またはその両者において機能するアダプタを設計することが可能である。この最後の場合では、性能目的上、交換機に経路指定されるセルは、ATMプロトコルにおいて定義されるセルと同一または類似である。その結果、

- ・交換送信機アダプタ508及び受信機アダプタ509内でパケットのセグメント化及び再アセンブリのステップが除去される。
- ・特定目的プロセッサ507、510内の交換ヘッダ処理が単純化される。

【0046】アダプタ機能構造：本発明は回線受信機/送信機、バッファ・メモリ、特定目的プロセッサ、及び交換アダプタ間の関係を扱い、特に、アダプタ内のスレーブット及び処理時間を最適化するように、データ・フローの処理を扱う。より詳細には、本発明はデータ・バッファをキューイング及びキューイング解除する超高性能システムに関する。

【0047】通信アダプタは次の原理を基本とする。

- ・特定目的プロセッサは安定状態データ・フローを管理するために必要なオペレーション数を最小化するように設計される。

- ・データ・パケット及び制御データは、2つの異なるメモリすなわちバッファ・メモリ及び局所メモリ内でそれぞれ別々に管理される。

- ・データ・パケットのバッファリング、キューイング及びキューイング解除機構は、全てのポート・トランク及び受信/送信アダプタにおいて同一である。

【0048】これらの考慮に従い、次の従来技術が本発明を説明するために使用される。すなわち、バッファ・メモリに読出す装置及びバッファ・メモリに書込む装置が、それぞれIO1及びIO2により指定される。これは、次のことを意味する。

- ・アダプタの受信側では、IO1=交換送信機、及びIO2=回線受信機
- ・アダプタの送信側では、IO1=回線送信機、及びIO2=交換受信機

〇2=交換受信機

【0049】同様に、

・入力データ・ストリームは交換または外部回線IO2からバッファ・メモリに転送される。

・出力データ・ストリームはバッファ・メモリから交換または外部回線IO1に転送される。

【0050】更に、“バケット”の意味はアプリケーションに依存し、例えば、ポートからのSDLCフレーム、トランクからのプロプライエタリ・バケット形式、ATMトランクから受信されるセルに適用される。次のパラグラフで使用される用語“バケット”は、明確なデータ単位形式を指す。

【0051】データ構造：

バッファ、バケット、キュー構造：データ・バケットはバッファ・メモリ(BM)に記憶され、制御データは局所メモリ(LM)内の特定目的プロセッサ(SPP)により直接管理される。入力装置(回線/交換受信機IO2)または出力装置(回線/交換送信機IO1)に割当てられるメモリの基本単位は、固定長のバッファである。図6に表されるように、これらのバッファの各々は局所メモリ内において、バッファ・ポインタ(BPTR)と呼ばれるポインタにより表される。ポインタはバッファ・メモリに記憶される論理データ構造(バッファ、バケット、キューなど)を識別する総称用語である。バケットの記憶は1乃至幾つかのバッファを要求する。これらのバッファはポインタのリスト(BLIST)を使用して連鎖され、このリストはそれ自身バケット・ポインタ(PPTR)により表される。バケット・ポインタのリスト(PLIST)はキュー・ポインタ(QPTR)により識別され、幾つかのバケットのキューを指定する。

【0052】リスト接頭部：各リストは特定のバケットまたはキュー構造を表し、構造が含むデータに関連する任意のタイプの情報を記憶するために使用される接頭部がその先頭に来る。バッファ・リストにおいて、接頭部(BPREFIX)は次に示すバケットの経路指定に関連する情報を含む。

- ・バケット・ヘッダ
- ・バケット受信の日付
- ・バケット長

【0053】バケット・ヘッダに対する全てのプロセッサ・オペレーションは、バッファ・メモリ(BM)に記憶されるデータをアクセスする必要なく、局所メモリ(LM)内で実現される。更に、プロセッサ(SPP)が局所メモリに対し作業している時、バッファ・メモリ上でのDMAオペレーションは途絶されない。その結果、より効率的なルーティング処理及びメモリ管理が実現される。

【0054】バケット・セグメンテーション：メモリ管理を容易にするため、バケット及びキュー用に使用され

るリストは固定長である。図7に表されるように、バッファ・リストが含むことができるよりも大きなバケットが、セグメント化される。この方法はリスト(BLIST)が最大バケット長にサイズ化されないことを許可する。セグメント(BLIST1、BLIST2)はバケット・リスト(PLIST)内で別個のバケット・ポインタ(PPTR1、PPTR2)により識別される。同一バケットのセグメント間の相関は、各セグメントの最後のバッファ・ポインタ(BPTR)内に配置される特定状態フィールド(SF)を通じて実現される。このフィールドはリストがフルの時に、EOS(End Of Segment:セグメントの終り)とフラグ化される。

・状態フィールドがEOSであることが見い出されると、バケット・リスト(PLIST)内の次のポインタは、同一データ・バケットの別のセグメントを識別する。

・状態フィールドがバケットの終り(EOP:End Of Packet)に等しいことが見い出されると、バケット・リスト(PLIST)内の次のポインタは別のデータ・バケットを識別する。

【0055】バッファ・ポインタ：図8はバッファ・ポインタ801の一般形式を示す。バッファ800はフルである必要はなく、データ(DDDDDDDD)は任意の(A)で開始し、(B)で終了する。例えば、バッファの最初のバイトがヘッダ及び末部を含むように予約することが可能である。データの書き込み及び読出しは、バッファ・ポインタ801内に配置される5つのフィールドにより実現される。

第1要素ポインタ(FEP)：バッファ内の最初のデータ要素の識別(データは任意の位置で開始)。

最終要素ポインタ(LEP)：バッファ内の最終データ要素の識別(データは任意の位置で終了)。

状態フィールド(SF)：このフィールドはリストの最後のバッファ・ポインタ内で使用され、セグメントの終り(EOS)またはバケットの終り(EOP)のいずれかを指定する。

バッファ識別子(BID)：データを含むバッファの識別。

40 現要素ポインタ(CEP)：読出しまたは書き込みのための現データ要素の識別。

【0056】データ獲得以前のバッファ・ポインタの状態は、現要素ポインタ(CEP)が第1要素ポインタに等しくセットされる(FEP=CEP=A)802。現要素ポインタは新たな要素が記憶される度に増分される。獲得の終了において、現要素ポインタは最終データを指定する(CEP=B)803。続く処理において、現要素ポインタ値(CEP=B)が最終要素ポインタ(LEP)に書き込まれ、その後、その初期値にリセットされる(CEP=FEP=A)804。この方法は受信

されたデータの順序でそれらのデータを送信する。

【0057】リスト・ポインタ：図9を参照すると、リスト・ポインタ形式は3つのフィールドを含む。

リスト識別子（LID）：リストの識別。

ヘッド：リストの最初のポインタの識別。

テール：リストに結合する次のポインタの識別。

【0058】フリー・バッファ・リスト（FBL）：バッファ・メモリの管理はフリー・バッファ・リスト（FBL）と呼ばれる特定リストにより実現される。FBLはバッファ・ポインタの全体を含み、その役割は、フリー・バッファ・リスト・ポインタ（P_FBL）のヘッド及びテール・フィールドを使用し、メモリ占有の状態を提供する（図12）。

T：バッファ・メモリ内のバッファの合計数。

ヘッド：リストの最初のフリー・バッファの識別。新たなバッファが充填される度に、ヘッド・フィールドが増分される。

テール：リストの次のフリー・バッファの識別。新たなバッファが解放される度に、テール・フィールドが増分される。

ヘッド=テール：バッファ・メモリがフル状態。

増分されたテール=ヘッド：バッファ・メモリがエンpty。

【0059】フリー・バッファ・リスト（FBL）は開始時に生成され、動的に生成される他のリスト（バッファ、パケットまたはキュー・リスト）とは異なり、永久的である。

注釈：一般に、資源の欠如が見い出される時（フリー・バッファ・リスト・エンpty）、バッファ・メモリに記憶されないパケットは廃棄される。

【0060】特定目的プロセッサ構造：特定目的プロセッサ機能構造が図13に表される。

【0061】プロセッサ並列処理：特定目的プロセッサは3つのオペレーションを並列に実行するように設計される。

1. レジスタにおけるALU（演算論理ユニット、140）オペレーション
2. メモリ・オペレーション
3. シーケンス・オペレーション

【0062】並列性は命令とオペレーションを区別することを要求する。

命令：コード・ワードの内容。アセンブラ言語では、命令は1ラインのコードに対応する。全ての命令は1プロセッサ・サイクルで実行される。

オペレーション：命令は同時に実行される1つ以上のオペレーションを含む。

【0063】メモリ空間：SPPメモリ空間は3つのブロックに分割される。

・命令記憶130。

・局所メモリ（LM）131。これはコード作業領域で

ある。

・バッファ・メモリ（BM）132。データ・パケットがアダプタを通過する時の、データ・パケットの保存場所である。

【0064】これらは全て並列に動作し、命令記憶130はシーケンサ133の制御の下で、局所メモリはプロセッサ・コードの制御の下で、またバッファ・メモリ132は直接アクセス・メモリ（DMA）134の制御の下で動作する。

【0065】レジスタ：レジスタは2つのカテゴリに分類される。

1. 汎用目的レジスタ（GPR）

これらのレジスタはレジスタ・ファイル（RF）135内に配置され、命令オペランドとして使用可能である。

2. 制御レジスタ（CR）

CRは特定機能において使用されるハードウェア・レジスタであり、命令オペランドとしても使用可能である。しかしながら、GPRと比較して、その使用の自由度は限られている。特に、これらの制御レジスタの内の2つ136は直接アクセス・メモリ（DMA）134内に配置される。

・CR1=D_PTR1（DMAポインタIO1）

・CR2=D_PTR2（DMAポインタIO2）

DMAポインタ1及び2は入出力IO1137及びIO2138に関連され、これらは両者とも現バッファ・ポインタ（B_PTR）を含む。

【0066】メモリ・アドレス発生器（MAG）139：全てのロード及びストア・オペレーションにおいて、局所メモリまたはバッファ・メモリ上で、物理アドレスはバッファまたはリスト・ポインタの異なるフィールドから再構成され、オペランドとして使用される。性能上の理由から、このオペレーションはメモリ・アドレス発生器（MAG）139と呼ばれる特殊ハードウェア・コンポーネントにより実現される。

【0067】直接メモリ・アクセス制御装置（DMA）134：プロセッサと共同して直接メモリ・アクセス制御装置（DMA）134を使用することは、技術的に既知である。その役割は、プロセッサ（SPP）の介入無しに、IO装置137、138とバッファ・メモリ132との間で、データを迅速に転送することである。DMAモジュールは2つの独立なプログラマブル・チャネルを含む。IO装置はバッファ・メモリ132へのアクセスを制御するDMAにサービス要求（SR1、SR2）を提供する。プロセッサ介入はバッファ及びパケットの境界においてのみ必要とされる。2つのIO装置とバッファ・メモリとの間のデータ・ストリームは、コードと並列に処理される。BMIOバス上で最大2つのIOオペレーションがマルチプレクスされる。その一方はIO1であり、他方はIO2である。そのために、DMAは2つのDMAポインタ（D_PTR1、D_PTR2）

を管理する。これらのポインタはバッファ・ポインタに外ならない。

【0068】入出力サブシステム：

- ・特定目的プロセッサ（SPP）は”マスタ”と見なされ、接続を確立する。
- ・IO装置及びバッファ・メモリはプロセッサ・コードにより直接的に、またはDMAを介して制御される。
- ・バッファまたはバケット境界の場合では、コード介入がIO装置により割込み機構を介して強要される。

【0069】データ処理：様々な処理がバッファ及びリスト・ポインタ上で実行される：

- ・バッファ・ポインタを増分する。
- ・バッファをクローズする。
- ・リスト接頭部をアクセスする。
- ・要素をリストに結合する。
- ・要素をリストから切り離す。

【0070】ポインタに対するオペレーション：ポインタに対する幾つかのオペレーションはプロセッサ・コードにより実行され、その他は直接メモリ・アクセス（DMA）により実行される。

- ・バッファ・ポインタの書込み及び読出しはもっぱらDMA134による。

1) バッファ・メモリへの書込み

IO2からのサービス要求（SR2）の受信時に、DMAはポインタ2（D_PTR2、136）に含まれるアドレスにより、バッファ・メモリ132へのアクセスを有する。DMAポインタ2はプロセッサ（SPP）により提供され、これはバッファ・ポインタ（B_PTR）に外ならない。DMAは同時にIO2に対し、BMIOバスを介してデータ要素を提供するように、またバッファ・メモリ132に対し、このデータ要素をDMAポインタ内のBID（バッファ識別子）フィールドにより識別されるバッファ内の現要素ポインタ（CEP）位置に書込むように指令する。データは、コードにより選択されるアドレスから始まり、（バケットの）最終バッファを除く任意のボトム位置までバッファに充填される。入力オペレーションを開始する以前は、DMAポインタ内のFEP（第1要素ポインタ）及びCEP（現要素ポインタ）フィールドは、両者とも最初のデータ位置を指している。位置合せに関する制約は存在しない。現ポインタ（CEP）は新たなデータ要素が記憶される度に増分される。バッファがフルになると、DMAはプロセッサから割込み機構（IO2_EOBルーチン）を介して、新たなバッファ・ポインタを要求する。類似の手順がIO2がバケットの終りを検出する（IO2_EOPルーチン）時にも使用される。データ獲得後、現要素ポインタ（CEP）が最初のデータ位置にリセットされる（CEP=FEP）。

11) バッファ・メモリへの読出し

IO1からのサービス要求（SR1）の受信時に、DM

AはDMAポインタ1（D_PTR1、136）に含まれるBID（バッファ識別子）フィールドにより、バッファ・メモリ132をアドレスする。DMAポインタ1はプロセッサ（SPP）により提供される。DMAは同時にバッファ・メモリ132に対し、BMIOバスを介して、データ要素をDMAポインタのBIDフィールドにより識別されるバッファ内の現要素ポインタ位置に提供しよう、またIO1装置138に対し、このデータ要素を読出すように指令する。出力オペレーションを開始する以前は、DMAポインタ内のFEP（第1要素ポインタ）及びCEP（現要素ポインタ）フィールドは両者とも最初のデータ位置を指す。現ポインタ（CEP）は新たなデータ要素が転送される度に増分される。現要素ポインタ値が最後の要素ポインタ値に等しい時、バッファはエンプティである。その時、DMAは新たなバッファ・ポインタをプロセッサから割込み機構（IO1_EOBルーチン）を通じて要求する。DMAがセグメントまたはバケットの終りを検出する時にも、類似の手順が使用される（IO1_EOSまたはIO1_EOPルーチン）。データ転送後、バッファ・ポインタはフリー・バッファ・リスト内で解放され、それに従いバケット・リスト及びキュー・リストが更新される。

【0071】・バケット及びキュー・ポインタはプロセッサ・コードにより管理される。

1) バッファまたはバケット境界の場合、コード介入がIO装置及びDMAにより割込み機構を介して強要される。

11) バッファ及びバケット・キューイング及びキューイング解除機構が、局所メモリ内のプロセッサの制御の下で実行される。

【0072】割込み：割込み機構は実時間を特定目的プロセッサ（SPP）により支援する方法である。割込みは、プロセッサ・コードの通常シーケンスにおける特定の事象による中断である。この割込みを発生する事象は、バッファの終り、バケットの終りなどの特定な状態に関連するIO装置からのサービス要求である。各特定の割込みが、特定のルーチンに対応し、これらは別のルーチンによっては割込まれない。オーバーラン/アンダーラン問題を回避するために、可能な限り短い割込みルーチンを有することが重要である。

【0073】1. 次を示す割込みは回線及び交換送信機IO1により使用される。

IO1_EOB：

条件：出力IO1をサービス中、DMAがバッファをエンプティ化すると（これはバケット/セグメントの最終バッファではなく、バッファ・ポインタはEOSまたはEOPにフラグ化されない）、DMAポインタ（D_PTR1）はIO1_EOB割込みを生じ、これがIO1_EOBルーチンをトリガする。

ルーチン：このルーチンは、

1) フリー・バッファ・リスト内の丁度エンブティとなったバッファのポインタを解放する。新たなポインタが出力バッファ・リスト (OB_LIST) からキュー解除され、DMAポインタ (D_PTR1) に渡される。

【0074】IO1_EOP:

条件: 出力IO1をサービス中、DMAがバケットをエンブティ化すると (バケットの最終バッファのポインタがオン状態のEOPフラグを含む)、DMAポインタ (D_PTR1) はIO1_EOP割込みを生じ、これがIO1_EOPルーチンをトリガする。

ルーチン: このルーチンは、

1) フリー・バッファ・リスト (FBL) 内の出力バッファ・リスト (OB_LIST) の現バッファ・ポインタ及び最終バッファ・ポインタを解放する。

11) 現出力バケット・ポインタ (OP_PTR) を出力バケット・リスト (OP_LIST) から切り離す。

111) 次のバケット及びそのポインタを出力バケット・リストからキュー解除する。

【0075】IO1_EOS:

条件: 出力IO1をサービス中、DMAがセグメントをエンブティ化すると (バケット・セグメントの最終バッファのポインタがオン状態のEOSフラグ及びオフ状態のEOPフラグを含む)、DMAポインタ (D_PTR1) はIO1_EOS割込みを生じ、これがIO1_EOSルーチンをトリガする。

ルーチン: このルーチンは、

1) フリー・バッファ・リスト (FBL) 内の丁度エンブティ化されたEOSバッファのポインタを解放する。

11) 出力バケット・リスト内の丁度エンブティ化されたバケットのポインタを切り離す。

111) 次のセグメントのポインタを出力バケット・リストからキュー解除する。

【0076】2. これらの割込みは回線及び交換受信機IO2により使用される。

IO2_EOB:

条件: 入力IO2をサービス中、DMAがバッファ・フル状態を検出すると (このバッファはバケットの最終バッファではない)、DMAポインタ (D_PTR2) はIO2_EOB割込みを生じ、これがIO2_EOBLルーチンをトリガする。

ルーチン: このルーチンは、

1) 丁度充填されたバッファのポインタを予め割当てられた入力バッファ・リスト (IB_LIST) に記憶する。ここでは同一のバケットの全てのバッファが連鎖される。

11) 入力バッファ・リスト接頭部領域 (IBL_PREFIX) を更新する。

111) DMAポインタ (D_PTR2) に同一バケットのデータの受信を継続するための新たなバッファ・ポ

インタを提供する。フリー・バッファ・ポインタはフリー・バッファ・リスト (FBL) により管理される。

1v) 同一バケットに対しバッファ・リストがフルの場合、セグメンテーションが発生する。

【0077】IO2_EOP:

条件: 入力IO2をサービス中、DMAがバケットの受信を完了すると (バケットの最終バッファのポインタがハードウェアによりEOMにフラグ化される)、DMAポインタはIO2_EOP割込みを生じ、これがIO2_EOPルーチンをトリガする。新たなバケットの受信のための新たなバッファ・ポインタを提供するためのコード介入が要求される。

ルーチン: このルーチンは、

1) 最後に充填されたバッファのポインタを予め割当てられた入力バッファ・リスト (IB_LIST) に記憶する。ここでは同一バケットの全てのバッファが自動的に連鎖される。バケットの最終バッファ・ポインタがDMAポインタ (D_PTR2) によりEOPにフラグ化される。

11) 入力バッファ・リスト接頭部領域 (IBL_PREFIX) を更新する。

111) 入力バッファ・リストのバケット・ポインタが入力バケット・リスト (IP_LIST) にキュー (待機) される。

1v) DMAポインタ (D_PTR2) に次のバケットの受信のための新たなバッファ・ポインタ (B_PTR) を提供する。

【0078】キューイング及びキューイング解除オペレーション: 本発明の目的である結合及び切り離し処理は次のオペレーションを含む。

LIN RA, RT: リスト・イン

LOUT RA, RT: リスト・アウト

LLEH RA, RT: リスト要素ヘッドをロード

STLET RA, RB: リスト要素テールを記憶

GOTO (COND,) ADDR: 即値アドレスに移行

【0079】レジスタに対するALUオペレーション:

1. LIN RA, RT (図10)

LIN (リスト・イン) オペレーションはRAにより参照されるリスト・ポインタのテール・フィールドを増分し、結果をRTにより参照されるレジスタに記憶する。リストがフルの場合、RA内容が変更無しにRTに記憶される。LINは通常、要素をテール位置のリストに結合するために、STLETメモリ・オペレーションと関連して使用される。その場合、RT=RAである。リスト・フル標識 (F) は次のように更新される。

IF増分された (テール) がヘッドに等しい

then F=1 (リスト・フル) にセット

else F=0にセット

【0080】LINオペレーションで検出されるリスト

・フル状態は、STLETの実行を阻止しない。しかしながら、リスト保全性は破壊される。

【0081】例：アドレス'001800'に配置される16要素リスト（4バイトの要素）について考察してみよう。これは6要素を含み、そのヘッド・アドレスは'001820'であり、そのテール・アドレスは'001838'である。従って、そのリスト・ポインタは例えば'00182038'であり、次のように定義される。

2バイト：リスト識別子0018

1バイト：ヘッド20

1バイト：テール38

（0及び1ビットはリスト・サイズ、6ビットが予備0、8乃至23がLID、24乃至27がヘッド、28乃至31がテール。LIDは12ビット+4ビットの0にもとづく）これがR20に保持されるものと仮定する。オペレーションLIN R20、R20は'0018203C'を返す。2回目のオペレーションLIN R20、R20が実行される場合、（その間LOUTオペレーションにより要素が切り離されないものと仮定すると）'00182040'が返される。

【0082】2. LOUT RA、RT（図11）

LOUT（リスト・アウト）オペレーションはRAにより参照されるリスト・ポインタのヘッド・フィールドを増分し、結果をRTにより参照されるレジスタに記憶する。リストがエンプティの場合、ヘッドがテール・フィールドに等しいと、RA内容は変更されない。リスト・エンプティ標識（E）は次のように更新される。

IFテールがヘッドに等しい

then E=1（リスト・エンプティ）にセット

else E=0にセット

【0083】LOUTは通常、リストのヘッド要素を切り離すために、LLEHメモリ・オペレーションと一緒に使用される。この場合、RT=RAである。

【0084】例：アドレス'003400'に配置される5つの要素を含む16要素リストについて考察してみよう。そのヘッド・アドレスは'003438'で、そのテール・アドレスは'00341C'である。従って、そのリスト・ポインタは'0034381C'となる。これがR30に記憶されるものとする。オペレーションLOUT R30、R30は'00343C1C'を返す。2回目のオペレーションLOUT R30、R30が実行される場合、（その間LINオペレーションにより要素が切り離されないものと仮定すると）'0034401C'が返される。

【0085】メモリ・オペレーション：

1. LLEH RA、RT

LLEH（リスト要素ヘッドのロード）オペレーションは、ヘッドをRAにより参照されるリストからRTレジスタに移動する。LLEHは通常、リストのヘッドから要素（バッファまたはリスト・ポインタ）を切り離すた

めに、LOUTオペレーションと一緒に使用される。LOUTと一緒に使用される時、RTはRAに等しくなければならない。RAにより指示されるレジスタはLOUTのそれと同じでなければならない。

【0086】例：アドレス'003400'に配置される5つの要素を含む16要素リストについて考察してみよう。そのヘッド・アドレスは'003438'で、そのテール・アドレスは'00341C'である。従って、そのリスト・ポインタは'0034381C'となる。これがR30に記憶されるものとする。オペレーションLLEH R30、R40は局所メモリ・ロケーションの内容'003438'をR40に返す。

【0087】2. STLET RA、RB

STLET（リスト要素テールのストア）オペレーションは、RBにより参照される要素を、RAにより参照されるリストのテール位置に記憶する。RA及びRBはリスト・ポインタである。STLETは通常、要素をリストのテールに結合するために、LINと一緒に使用される。

【0088】例：アドレス'003400'に配置される5つの要素を含む16要素リストについて考察してみよう。そのヘッド・アドレスは'003438'で、そのテール・アドレスは'00341C'である。従って、そのリスト・ポインタは'0034381C'となる。これがR30に記憶されるものとする。オペレーションSTLET R30、R40はR40の内容を局所メモリ・ロケーション'00341C'に書込む。

【0089】注釈：

a. STLETはLINなしで、バッファの最終バッファのポインタを変更するために使用される。

b. 要素がフル・リストに接続される場合、リスト・フル状態（F=1）（これはLINオペレーションにより検出される）はSTLETオペレーションの実行を阻止しない。しかしながら、記憶は重要でないリスト要素を変更する。

【0090】シーケンス・オペレーション：LIN及びLOUTオペレーションによりセットされる状態標識には、

E：リスト・エンプティ

F：リスト・フル

があり、これらはプロセッサ状態を反映し、同一命令において、または後に条件シーケンス・オペレーションによりテストされる。

【0091】1. GOTO（COND、）ADDR

テスト条件が（存在し）一致すると、新たなコード・アドレスがADDRオペランドにより提供される。一致しない場合、コードが順番に実行される。

【0092】典型的命令：

・次の命令は要素（バッファまたはリスト・ポインタ）をリストのヘッドから切り離すことを許可する（図1

27

4)。リスト・ポインタはRAにより与えられる。

LOUT RA, RA LLEH RA, RB

LOUT (ALUオペレーション) 140は、RA (レジスタ・ファイル) 141により参照されるリスト・ポインタのヘッド・フィールドを増分する (RAレジスタは次のクロック信号時に新たなヘッド値により更新される)。同時に、RAにより参照されるリストのヘッド要素が、メモリ・オペレーションLLEHにより局所メモリ142からレジスタRB141に移動される。

・次の命令はRBにより与えられる要素 (バッファまたはリスト・ポインタ) をリストのテールに結合することを許可する (図15)。リスト・ポインタはRAにより与えられる。

LIN RA, RA STLET RA, RB

LIN (ALUオペレーション) 150は、RA (レジスタ・ファイル) 151により参照されるリスト・ポインタのテール・フィールドを増分する (RAレジスタは次のクロック信号時に新たなテール値により更新される)。同時に、RAにより参照されるリストのテール要素が、メモリ・オペレーションSTLETによりレジスタRBから局所メモリ152に移動される。

・次の命令はバッファ (そのポインタがRBにより与えられる) をRAにより与えられるポインタで指示されるフリー・バッファ・リストのテールに解放することを許可する。

LIN RA, RA STLET RA, RB

【0093】キューイング及びキューイング解除サイクル: 図16はキューイング解除サイクルの様子を簡単に示す。既に詳述されたように、切り離し命令は2つのオペレーション (LOUT及びLLEH) を要求し、これらは並列に処理される。同一プロセッサ・サイクル160、161において、入力オペランドとして使用されるRAレジスタ162の内容が、同時に、UBAS163によりALU及び局所メモリに供給される。ALUはポインタのヘッド・フィールドを増分する。レジスタRA162及びRB165は、クロック信号166時に、新たなポインタ値及びヘッド要素によりそれぞれ更新される。キューイング処理についても類似である。

【0094】性能: 通信アダプタのスループットは、入力から出力までのデータ・パケットを処理する総時間として定義される。しかしながら、アプリケーション依存形のパケット・サイズでは、アダプタの性能を評価するために、2つの測定が現在使用される。

・第1に、アダプタが1秒間に処理可能な固定長のパケット数 (パケット・スループット)

・第2に、無限パケット長の場合においてアダプタが伝送可能な1秒当たりのビット数 (データ・スループット)

【0095】性能はハードウェア及びプロセッサ能力に依存するが、主なスループット制限要因はパケット処理

28

時間であり、この処理時間はパケットを処理するために要求される命令数に直接関係する。パケットに対するオペレーションは2つのカテゴリに分類される。

・割込みルーチンによるバッファリング処理。このオペレーションは全てのアダプタ・タイプにおいて一般的である。このオペレーションに要求される処理時間は、パケット長に直接比例する。

・パケットのルーティング、アセンブル、逆アセンブル、フォーマッティング、及び帯域幅、優先順位の管理などのオペレーションのバックグラウンド処理。この処理はアダプタ機能に従って設計されるが、同一アプリケーションでは、バックグラウンド処理は全てのパケットに対し、それらのサイズに関係なく同一である。

【0096】割込みルーチンは実時間をプロセッサにより支援する方法である。これらは入力装置IO2におけるオーバーラン及び出力装置IO1におけるアンダーランを回避するために、可能な限り短くなければならない。これらはアダプタの性能すなわちデータ・スループット (ビット毎秒) を指令する。無限長のパケットでは、バックグラウンド処理は実行されず、スループットのボトルネックはDMAとなる。DMA応答時間は割込み応答時間に依存し、本発明の目的であるキューイング及びキューイング解除オペレーションにより最適化される。

【0097】パケット・スループット (アダプタが伝送可能な1秒当たりのパケット数) を最大化する別の方法では、バックグラウンド処理により要求される命令の数が最小に減少されなければならない。前の場合同様、本発明によりキューイング及びキューイング解除オペレーションが最適化される (1プロセッサ・サイクルまたは命令のみを要す)。更に、異なるメモリ・エンティティ間の特定のデータ構成は、パケットの効率的な操作に寄与する。

【0098】尚、本発明は、以下の構成から成っている。

(1) 通信ネットワーク内のパケット交換ノードにおける回線アダプタであって、固定長または可変長のデータ・パケットを受信及び送信するプログラマブル処理手段 (SPP) と、上記データ・パケットをバッファリングする手段と、上記バッファリング手段内の上記データ・パケットを識別する手段と、単一命令内の上記識別手段を記憶手段にキューイングする手段と、上記記憶手段から別の単一命令内の上記識別手段をキューイング解除する手段と、上記バッファリング手段を解放する手段とを含み、更に、各上記キューイング及び上記キューイング解除の命令が、上記識別手段に対する演算論理 (ALU) オペレーションと、上記記憶手段に対するメモリ・オペレーションと、シーケンス・オペレーションとを含み、上記3つのオペレーションが上記処理手段により並列に実行されることを特徴とする、プログラマブル・アダプタ。

(2) 上記バッファリング手段が、直接メモリ・アクセス・モジュールの制御の下で、バッファに固定長の上記データ・バケットを書込み及び読出す手段を含み、上記記憶手段が、上記処理手段(SPP)の制御の下で、上記識別手段を別々に記憶する手段を含む、(1)記載のプログラマブル・アダプタ。

(3) 上記識別手段が、上記バッファを識別し、1つ以上のバッファ・リスト(B_LIST)内で連鎖されるバッファ・ポインタ(B_PTR)と、上記バッファ・リスト(B_LIST)を識別し、1つ以上のバケット・リスト(P_LIST)内で連鎖されるバケット・ポインタ(P_PTR)と、上記バケット・リスト(P_LIST)を識別し、1つ以上のキュー・リスト(Q_LIST)内で連鎖されるキュー・ポインタ(Q_PTR)とを含み、各リストが、該リストが含むデータに関連する任意のタイプの情報を記憶する接頭部を含む、

(2)記載のプログラマブル・アダプタ。

(4) 上記バッファ・リスト接頭部が、データ・バケット・ヘッダに含まれる制御情報及び経路指定情報を含む、(3)記載のプログラマブル・アダプタ。

(5) 各リスト・ポインタが、ポインタ・リストを識別する第1のフィールド(LID)と、上記ポインタ・リストに結合されるネクスト・ポインタを識別する第2のフィールド(TAIL)と、上記ポインタ・リスト内の最初のポインタを識別する第3のフィールド(HEAD)とを含む、(3)乃至(4)に記載のプログラマブル・アダプタ。

(6) 各バッファ・ポインタが、バッファを識別する第1のフィールド(BID)と、上記バッファ内の最初のデータ要素を識別する第2のフィールド(FEP)と、上記バッファ内の最後のデータ要素を識別する第3のフィールド(LEP)と、上記バッファ内の現データ要素を識別する第4のフィールド(CEP)と、状態標識として使用される第5のフィールド(SF)とを含む、

(3)乃至(5)に記載のプログラマブル・アダプタ。

(7) バッファ・リストが固定長であり、記憶するデータ・バケットが単一のバッファ・リストが含むことが可能なものよりも大きい場合に、バッファ・ポインタが複数のバッファ・リスト内で連鎖され、上記データ・バケットの異なるリスト間の相関を保証するために、上記状態標識が各バッファ・リストの最終バッファ・ポインタ内でフラグ化される、(6)記載のプログラマブル・アダプタ。

(8) 上記キューイング命令が、リスト・ポインタのテール・フィールドを増分する手段と、テール・フィールドにより識別されるポインタをLIDフィールドにより識別されるポインタ・リスト内に同時に記憶する手段と、リスト・エンブティ(E)またはリスト・フル(F)標識を生成する手段とを含む、(5)乃至(7)に記載のプログラマブル・アダプタ。

(9) 上記キューイング解除命令が、リスト・ポインタのヘッド・フィールドを増分する手段と、ヘッド・フィールドにより識別されるポインタをLIDフィールドにより識別されるポインタ・リスト内に同時に読出す手段と、リスト・エンブティ(E)またはリスト・フル(F)標識を生成する手段とを含む、(5)乃至(8)記載のプログラマブル・アダプタ。

(10) 上記命令が上記リスト・エンブティ(E)またはリスト・フル(F)標識をテストする手段を含む、(8)乃至(9)に記載のプログラマブル・アダプタ。

(11) データ・バケットのバッファリング手段の管理が、バッファ・ポインタの全体を含む永久リスト(フリー・バッファ・リスト)により実現される、(3)乃至(10)に記載のプログラマブル・アダプタ。

(12) 上記処理手段が、演算論理ユニットと、レジスタ・ファイルと、シーケンサと、命令ファイルと、直接アクセス・メモリ・モジュールと、物理メモリ・アドレス発生器とを含む、(1)乃至(11)に記載のプログラマブル・アダプタ。

(13) 固定長または可変長のデータ・バケットを受信及び送信するためのプログラマブル処理手段(SPP)とバッファリング手段と記憶手段を含むバケット交換ノードの回線アダプタにおいて、固定長または可変長のデータ・バケットをキューイング及びキューイング解除する方法であって、上記バッファリング手段に上記データ・バケットをバッファリングするステップと、識別手段を定義し、上記バッファリング手段内の上記バッファリング手段及び上記データ・バケットを識別するステップと、単一命令内の上記識別手段を記憶手段にキューイングするステップと、上記記憶手段から別の単一命令内の上記識別手段をキューイング解除するステップとを含み、各上記キューイング及びキューイング解除命令が、上記識別手段に対する演算論理(ALU)オペレーションと、上記記憶手段に対するメモリ・オペレーションと、シーケンス・オペレーションとを含み、上記3つのオペレーションが上記処理手段により並列に実行されることを特徴とする方法。

(14) 上記バッファリング手段が直接メモリ・アクセス・モジュールの制御の下で、バッファに固定長の上記データ・バケットを書込み及び読出す手段を含み、上記記憶手段が上記処理手段(SPP)の制御の下で、上記識別手段を別々に記憶する手段を含む、(13)記載の方法。

(15) 上記識別手段が、上記バッファを識別し、1つ以上のバッファ・リスト(B_LIST)内で連鎖されるバッファ・ポインタ(B_PTR)と、上記バッファ・リスト(B_LIST)を識別し、1つ以上のバケット・リスト(P_LIST)内で連鎖されるバケット・ポインタ(P_PTR)と、上記バケット・リスト(P_LIST)を識別し、1つ以上のキュー・リスト(Q

—LIST) 内で連鎖されるキュー・ポインタ (Q_PTR) とを含み、各リストが該リストが含むデータに関連する任意のタイプの情報を記憶する接頭部を含む、

(14) 記載の方法。

(16) 上記バッファ・リスト接頭部が、データ・パケット・ヘッダに含まれる制御情報及び経路指定情報を含む、(15) 記載の方法。

(17) 各リスト・ポインタが、ポインタ・リストを識別する第1のフィールド (LID) と、上記ポインタ・リストに結合されるネクスト・ポインタを識別する第2のフィールド (TAIL) と、上記ポインタ・リスト内の最初のポインタを識別する第3のフィールド (HEAD) とを含む、(15) 乃至 (16) に記載の方法。

(18) 各バッファ・ポインタが、バッファを識別する第1のフィールド (BID) と、上記バッファ内の最初のデータ要素を識別する第2のフィールド (FEP) と、上記バッファ内の最後のデータ要素を識別する第3のフィールド (LEP) と、上記バッファ内の現データ要素を識別する第4のフィールド (CEP) と、状態標識として使用される第5のフィールド (SF) とを含む、(15) 乃至 (17) に記載の方法。

(19) バッファ・リストが固定長であり、記憶するデータ・パケットが単一のバッファ・リストが含むことが可能なものよりも大きい場合に、バッファ・ポインタが複数のバッファ・リスト内で連鎖され、上記データ・パケットの異なるリスト間の相関を保証するために、上記状態標識が各バッファ・リストの最終バッファ・ポインタ内でフラグ化される、(18) 記載の方法。

(20) 上記キューイング命令が、リスト・ポインタのテール・フィールドを増分するステップと、テール・フィールドにより識別されるポインタをLIDフィールドにより識別されるポインタ・リスト内に同時に記憶するステップと、リスト・エンプティ (E) またはリスト・フル (F) 標識を生成するステップとを含む、(17) 乃至 (19) に記載の方法。

(21) 上記キューイング解除命令が、リスト・ポインタのヘッド・フィールドを増分するステップと、ヘッド・フィールドにより識別されるポインタをLIDフィールドにより識別されるポインタ・リスト内に同時に読出すステップと、リスト・エンプティ (E) またはリスト・フル (F) 標識を生成するステップとを含む、(17) 乃至 (20) に記載の方法。

(22) 上記命令が上記リスト・エンプティ (E) またはリスト・フル (F) 標識をテストする手段を含む、(20) 乃至 (21) に記載の方法。

【0099】

【発明の効果】以上説明したように、本発明によれば、高速パケット伝送ネットワーク用の高性能データ・パケット・バッファリング方法、及びプログラマブル・データ通信アダプタが提供される。

【図面の簡単な説明】

【図1】本発明により支援される異なる回線スループットの機能に要求される処理時間（または1秒当たりの命令数）を示す図である。

【図2】本発明によるアクセス・ノード及び中継ノードを含む高速パケット交換ネットワークの典型的モデルを示す図である。

【図3】本発明による高速ルーティング・ポイントを説明する図である。

10 【図4】本発明によるプログラマブル高性能アダプタを示す図である。

【図5】本発明によるトランク・アダプタにおける送受信データ・フローを表す図である。

【図6】本発明によるバッファ、パケット及びキューの構造を表す図である。

【図7】本発明によるパケット・セグメンテーション機構を表す図である。

【図8】本発明によるバッファ・ポインタ構造を表す図である。

20 【図9】本発明によるリスト・ポインタ構造を表す図である。

【図10】本発明によるリスト・イン・オペレーションを表す図である。

【図11】本発明によるリスト・アウト・オペレーションを表す図である。

【図12】本発明によるフリー・バッファ・リスト構造を表す図である。

【図13】本発明によるプロセッサ機能構造を表す図である。

30 【図14】本発明によるキューイング解除機構を表す図である。

【図15】本発明によるキューイング機構を表す図である。

【図16】本発明によるキューイング解除サイクルを簡単に表す図である。

【符号の説明】

160 同一プロセッサ・サイクル

163 Uバス

166 クロック信号

301 ポート

302 パケット交換機

304 トランク・アダプタ

305 ルート制御装置

306 ネットワーク・トポロジ

403 交換機

404 交換受信機アダプタ

405 受信バッファ・メモリ

407 回線受信機

410 交換受信機

50 411 バッファ・メモリ

33

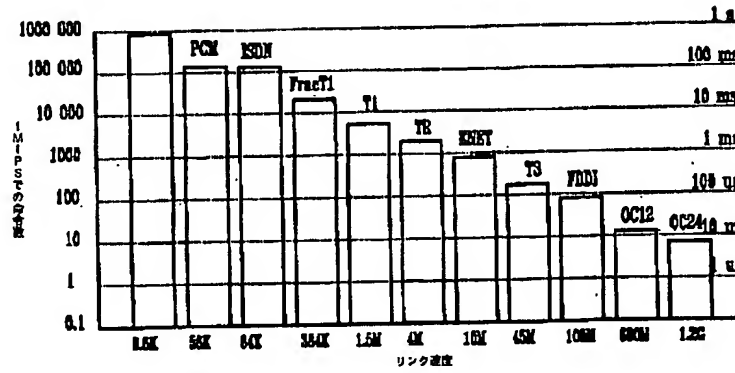
413 回線受信機アダプタ
415 回線インタフェース

34

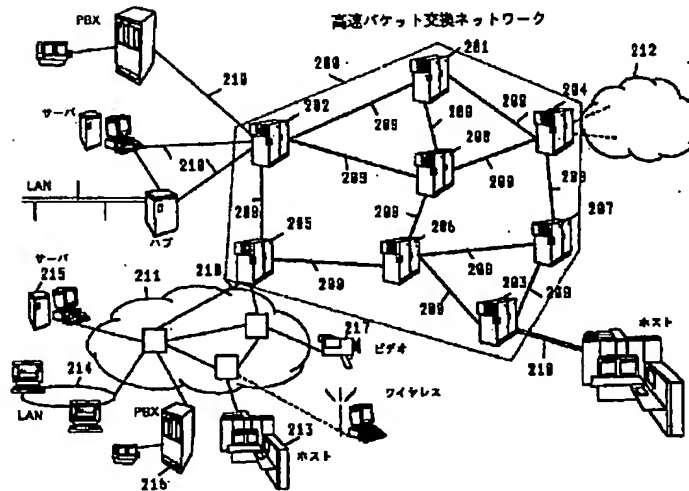
508 交換送信機アダプタ
509 受信機アダプタ

【図1】

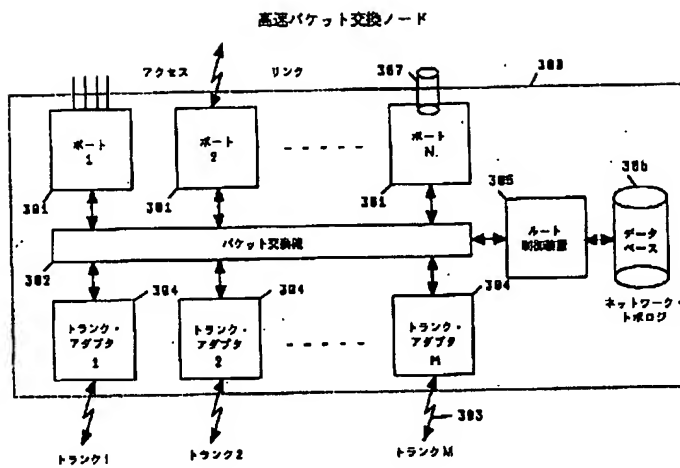
中継ノード内の処理時間



【図2】

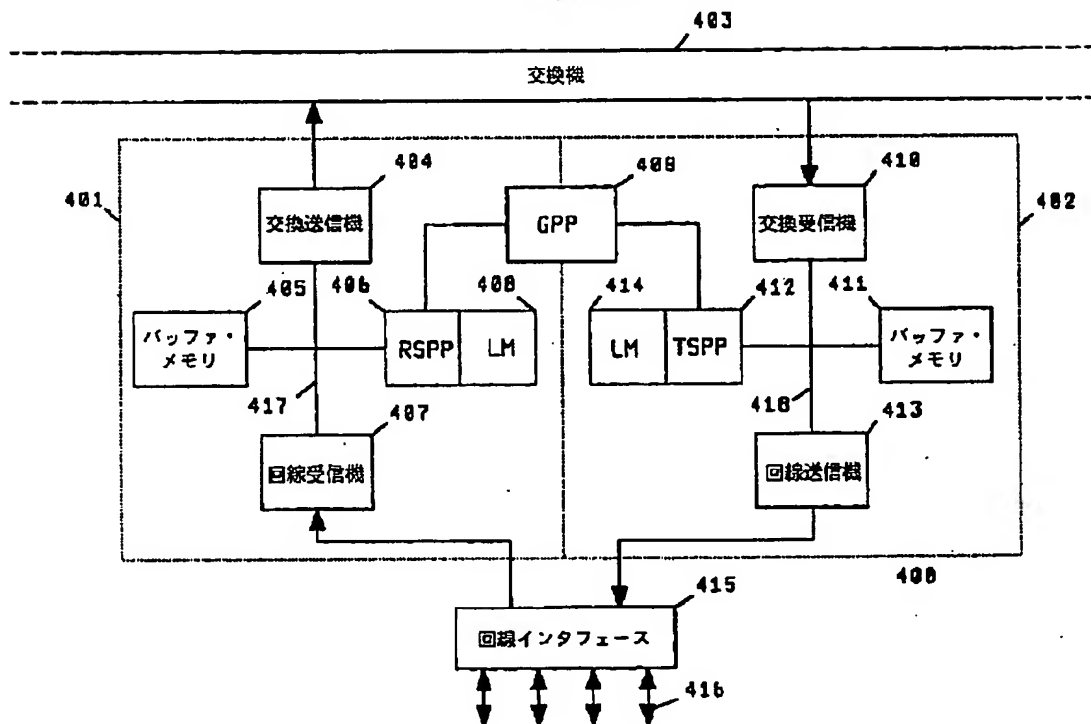


【図3】

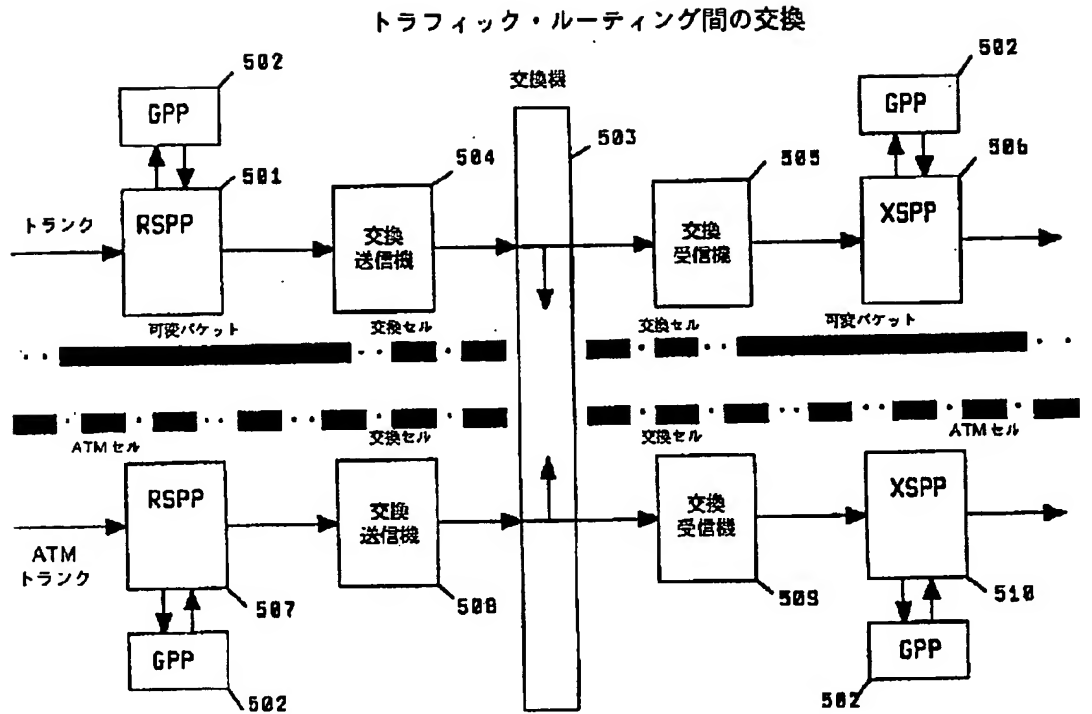


【図4】

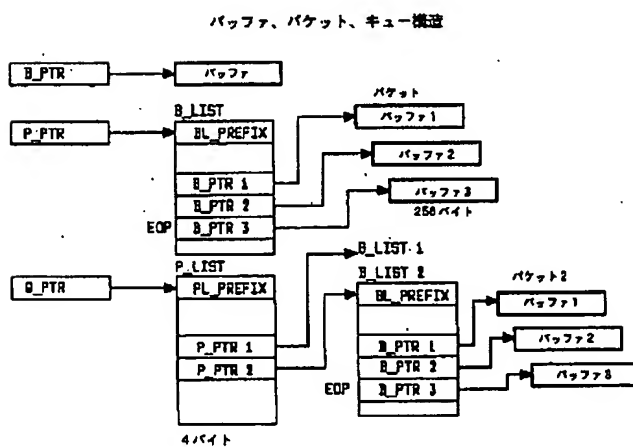
プログラマブル高性能アダプタ



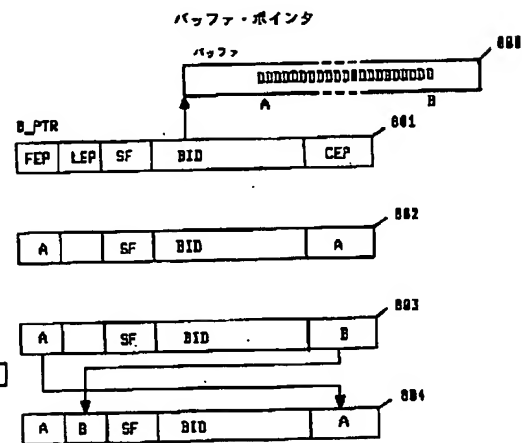
【図5】



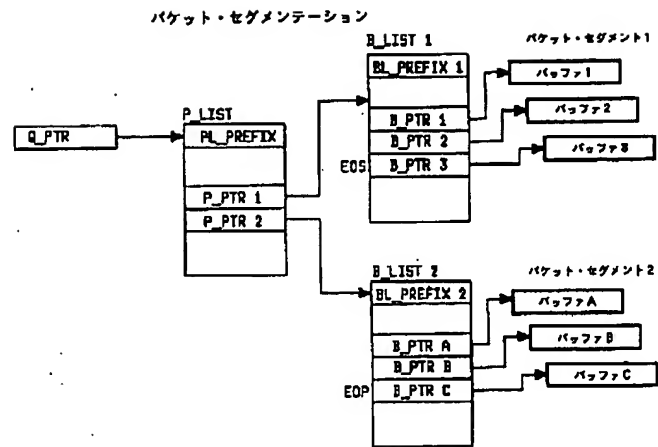
【図6】



【図8】

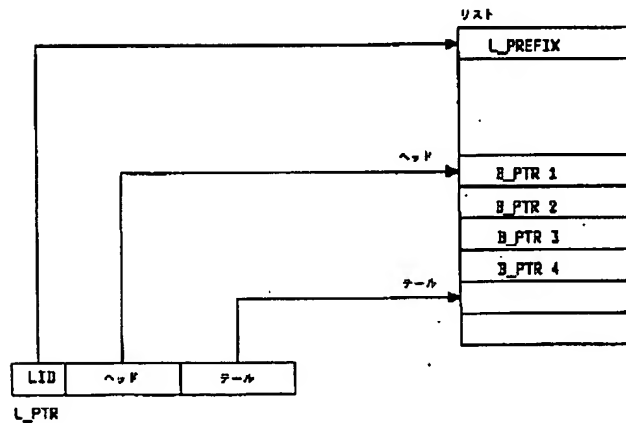


【図7】

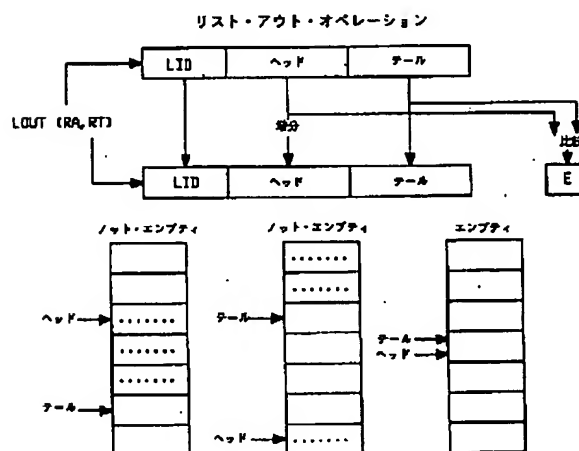


【図9】

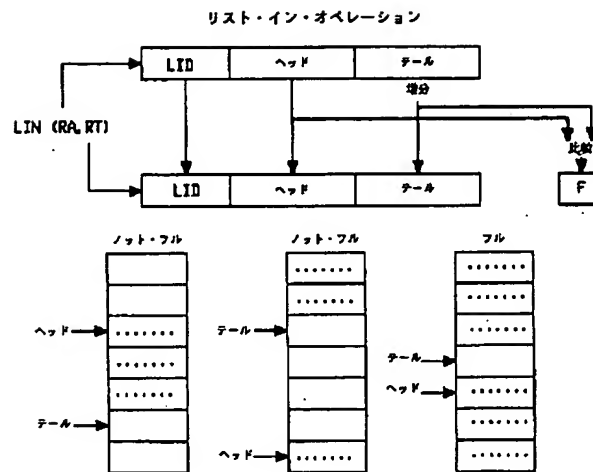
リスト・ポインタ



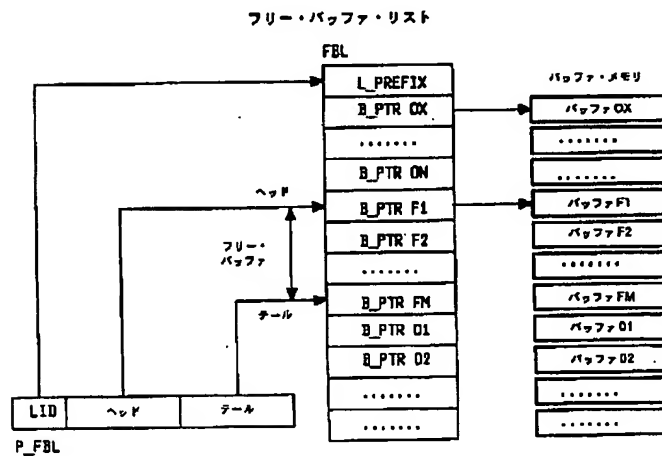
【図11】



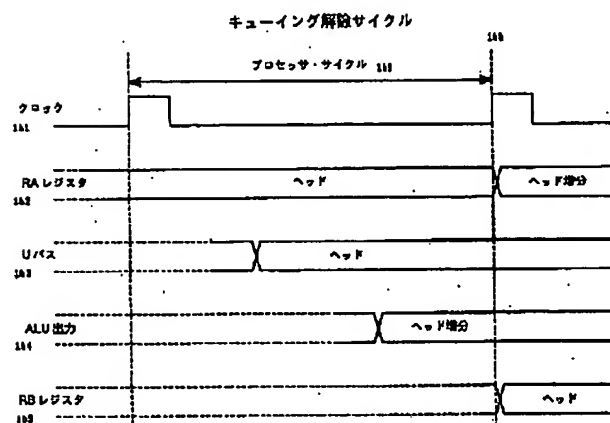
【図10】



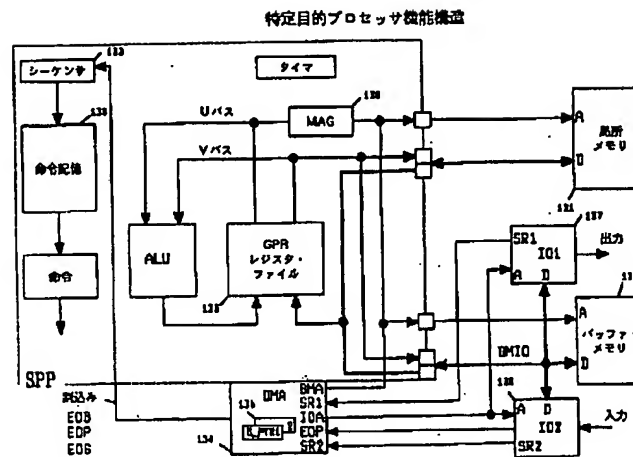
【図12】



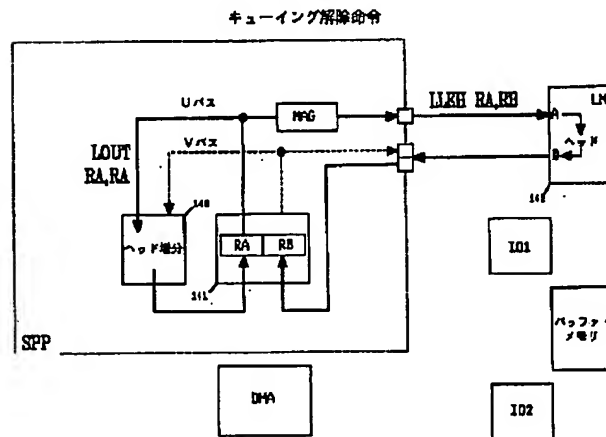
【図16】



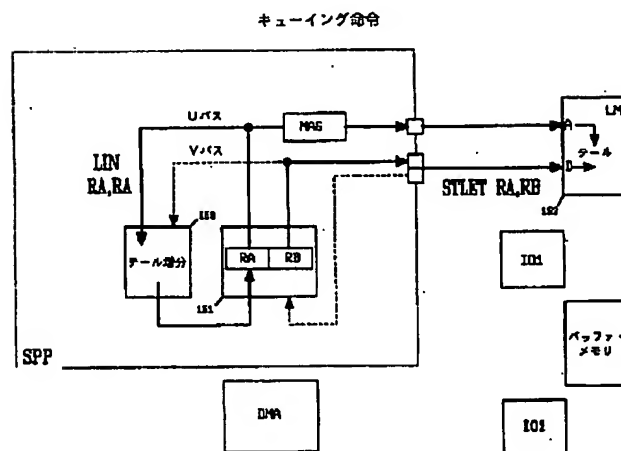
【図13】



【図14】



【図15】



フロントページの続き

- (72)発明者 ジェラルド・レビザイ
フランス、ベンス 06140、アベニュー・
デ・ポイルス 7
- (72)発明者 ダニエル・マウデュイット
フランス、ニース 06200、シィ・エイ
チ・デ・ラ・パッテリー・ルッセ 1
- (72)発明者 ジーン・マリー・ムニエル
フランス、カネス・ソア・メー 06800、
シィ・エイチ・デ・コレス 11

- (72)発明者 アンドレ・パウボート
フランス、ラ・コル・ソア・ループ
06480、ロチッセメント・デュ・コロンビ
エ (番地なし)
- (72)発明者 エリック・セントージョルジュ
フランス、ラ・ゴード 06610、アレー・
アルファ・デュ・セントウレ 291-6
- (72)発明者 ビクター・スバグノル
フランス、カネス・ソア・メー 06800、
ビス・チャーチ・デ・コレッテス 12、ビ
ラ・ピエンビル・セマル (番地なし)